

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 7 月 18 日 (18.07.2002)

PCT

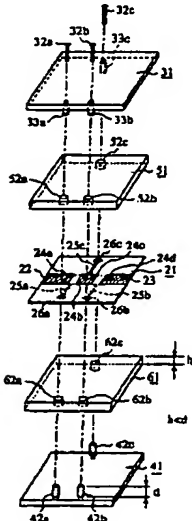
(10) 国際公開番号  
WO 02/056409 A1

- (51) 国際特許分類: H01P 3/08, 1/203 KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/00100
- (22) 国際出願日: 2002 年 1 月 10 日 (10.01.2002) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 大和田 哲 (OHWADA, Tetsu) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 内田 浩光 (UCHIDA, Hiromitsu) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 大橋 英征 (OH-HASHI, Hideyuki) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 宮崎 守▲泰▼ (MIYAZAKI, Moriyasu) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 栗原 学
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-005731 2001 年 1 月 12 日 (12.01.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI)

[続葉有]

(54) Title: HIGH-FREQUENCY CIRCUIT

(54) 発明の名称: 高周波回路



(57) Abstract: A dielectric substrate (51) is inserted into the air layer between a ground conductor (31) and a dielectric substrate (21), and a dielectric substrate (61) into the air layer between a ground conductor (41) and a dielectric substrate (21).

(57) 要約:

地導体 3 1 と誘電体基板 2 1 間の空気層に誘電体基板 5 1 を挿入するとともに、地導体 4 1 と誘電体基板 2 1 間の空気層に誘電体基板 6 1 を挿入する。

WO 02/056409 A1



(KURIHARA, Manabu) [JP/JP]; 〒247-0066 神奈川県 鎌倉市 山崎 2 5 番地 菱電電子機工株式会社 内 Kanagawa (JP). 茶谷 嘉之 (CHATANI, Yoshiyuki) [JP/JP]; 〒100-8310 東京都 千代田区 丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 田澤 博昭, 外(TAZAWA, Hiroaki et al.); 〒100-0013 東京都 千代田区 霞が関三丁目 7 番 1 号 大東ビル 7 階 Tokyo (JP).

(81) 指定国 (国内): CA, CN, IN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 高周波回路

## 技術分野

この発明は、例えばV H F帯、U H F帯、マイクロ波帯及びミリ波帯で用いられる高周波回路に関するものである。

## 背景技術

第1図は従来の高周波回路を示す分解構造図であり、図において、1は地導体、2は誘電体基板、3は地導体、4は入力線路を構成するストリップ導体、5は出力線路を構成するストリップ導体、6 a～6 dは直列キャパシタンス回路、8, 9, 10は1/4波長以下の長さのショートスタブを構成する並列インダクタンス回路、11はネジ、12は導体構造物、13は通し穴、14は導体構造物である。

なお、第2図は高周波回路の側方断面図であり、第3図は通し穴の断面構造図である。第2図において、15, 16は空気層である。

次に動作について説明する。

第1図の高周波回路は、高域通過フィルタを構成しているので、高域通過フィルタとしての動作を説明する。

並列インダクタンス回路8～10と直列キャパシタンス回路6 a～6 dが交互に接続され、それらが入力線路を構成するストリップ導体4と出力線路を構成するストリップ導体5の間に接続されている。

このため、入力線路から入射されたマイクロ波等の高周波信号のうち、ある周波数を境にして低い周波数側の信号は、周波数が低いほど並列インダクタンス回路8～10が短絡回路に近づき、かつ、直列キャパシ

タンス回路 6 a ~ 6 d が開放回路に近づくため、ほとんどの電力が反射される。

一方、高い周波数側の信号は、並列インダクタンス回路 8 ~ 10 が開放回路に近づき、かつ、直列キャパシタンス回路 6 a ~ 6 d が短絡回路に近づくため、反射される電力量が少ない。そのため、入射された信号の大部分の電力が出力線路に伝搬される。

このようにして、第 1 図の高周波回路は高域通過フィルタとして動作をする。また、並列インダクタンス回路 8 ~ 10 を構成するショートスタブは、隣接するもの同士が対向するようにレイアウトされ、スタブ同士での不要な電磁界結合を防止している。

従来の高周波回路は以上のように構成されているので、ストリップ導体が形成される誘電体基板 2 と地導体 1, 3 の間に空気層 15, 16 が存在し、回路内を伝搬する高周波信号の大部分が空気層 15, 16 に分布する。そのため、波長短縮効果がほとんど無く、回路が大型になるという課題があった。

また、第 1 図のようなサスペンデッド線路構造では、ストリップ導体が形成された誘電体基板 2 と、地導体 1, 3 となる筐体が別々の部品になるため、アッセンブリの際、互いの位置関係にズレが生じやすい。位置ズレが発生するとショートスタブを形成するストリップ導体に対する短絡手段（ネジ 11、導体構造物 12、通し穴 13、導体構造物 14）の位置が変わり、その結果、ショートスタブの長さが増える。例えば、位置ズレがスタブ長さ方向に生じると、対向する 2 つのショートスタブのうち、一方のショートスタブが長くなり、他方のショートスタブが短くなる。この場合、フィルタの通過帯域の反射特性において反射損の大きな劣化を生じる。ただし、スタブの長さ方向と垂直な方向に位置ズレが起きた場合には、フィルタの特性に劣化はほとんど発生しない。こ

のように、特性劣化が起こり易く、かつ、特性のばらつきが大きくなる課題もあった。

この発明は上記のような課題を解決するためになされたもので、回路内を伝搬する高周波信号に対して波長短縮効果をもたらして、回路の小型化を図ることができる高周波回路を得ることを目的とする。

また、この発明は、特性が良好で、かつ、ばらつきの少ない回路を実現することができる高周波回路を得ることを目的とする。

#### 発明の開示

この発明に係る高周波回路は、第1の地導体と第1の誘電体基板間の空気層に第2の誘電体基板を挿入するとともに、第2の地導体と第1の誘電体基板間の空気層に第3の誘電体基板を挿入するようにしたものである。

このことによって、回路内を伝搬する高周波信号に対して波長短縮効果をもたらして、回路の小型化を図ることができる効果がある。

この発明に係る高周波回路は、第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、第2の誘電体基板を第1の地導体と密着させる一方、第3の誘電体基板の厚さを第2の地導体と第1の誘電体基板の間隔よりも薄くして、第3の誘電体基板を第2の地導体と密着させるようにしたものである。

このことによって、PIMを発生させることなく、特性が良好で、かつ、ばらつきの少ない回路を実現することができる効果がある。

この発明に係る高周波回路は、第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、第2の誘電体基板を第1の誘電体基板と密着させる一方、第3の誘電体基板の厚さを第2の地導体と第1の誘電体基板の間隔よりも薄くして、第3の誘電体基板を第1

の誘電体基板と密着させるようにしたものである。

このことによって、P I Mを発生させることなく、特性が良好で、かつ、ばらつきの少ない回路を実現することができるとともに、耐電力を高めることができる効果がある。

この発明に係る高周波回路は、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するようにストリップ導体を形成するものである。

このことによって、特性が良好で、かつ、ばらつきの少ない回路を実現することができる効果がある。

この発明に係る高周波回路は、第1の地導体と第1の誘電体基板間の空気層に第2の誘電体基板を挿入するとともに、第2の地導体と第1の誘電体基板間の空気層に第3の誘電体基板を挿入する場合において、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するようにストリップ導体を形成するものである。

このことによって、特性が良好で、かつ、ばらつきの少ない回路を実現することができる効果がある。

この発明に係る高周波回路は、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が90度になるようにストリップ導体を形成するものである。

このことによって、フィルタ特性の安定化を図ることができる効果がある。

この発明に係る高周波回路は、直列キャパシタンス回路を挟んで回路

的に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が90度になるようにストリップ導体を形成するものである。

このことによって、フィルタ特性の安定化を図ることができるとともに、フィルタの小型化を図ることができる効果がある。

この発明に係る高周波回路は、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するように第1及び第2のストリップ導体を形成し、かつ、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が90度になるように第1及び第2のストリップ導体を形成するものである。

このことによって、フィルタ特性の安定化を図ることができる効果がある。

この発明に係る高周波回路は、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が90度になるように第1及び第2のストリップ導体を形成するものである。

このことによって、フィルタ特性の安定化を図ることができるとともに、フィルタの小型化を図ることができる効果がある。

この発明に係る高周波回路は、回路構成が一端終端形となるように直列キャパシタンス回路の容量値と並列インダクタンス回路のインダクタンス値が選定された高域通過フィルタと、回路構成が一端終端形である低域通過フィルタとを組み合わせ分波器を構成するようにしたものである。

このことによって、特性が良好で、かつ、ばらつきが少ない分波器が得られる効果がある。

#### 図面の簡単な説明

第 1 図は従来の高周波回路を示す分解構造図である。

第 2 図は高周波回路の側方断面図である。

第 3 図は通し穴の断面構造図である。

第 4 図はこの発明の実施の形態 1 による高周波回路を示す分解構造図である。

第 5 図は高周波回路の側方断面図である。

第 6 図は誘電体基板 2 1 を示す平面図である。

第 7 図は通し穴の断面構造図である。

第 8 図はこの実施の形態 1 におけるサスペンデッドストリップ線路を示す断面構造図である。

第 9 図は高域通過フィルタのサスペンデッドストリップ線路の断面における静電容量を近似的に表す回路図である。

第 1 0 図は高周波回路の側方断面図である。

第 1 1 図は通し穴の断面構造図である。

第 1 2 図はこの発明の実施の形態 3 による高周波回路を示す分解構造図である。

第 1 3 図は高周波回路の側方断面図である。

第 1 4 図は誘電体基板 2 1 を示す平面図である。

第 1 5 図は誘電体基板 2 1 と導体構造物 3 3 a ～ 3 3 c , 4 2 a ～ 4 2 c に位置ズレが起きたときに生じるスタブ長誤差の一例を示す説明図である。

第 1 6 図は誘電体基板 2 1 と導体構造物 3 3 a ～ 3 3 c , 4 2 a ～ 4



2 c との間の位置ズレの量及び方向と、スタブ長誤差の関係を説明する説明図である。

第 17 図は誘電体基板 2 1 と導体構造物 3 3 a ~ 3 3 c , 4 2 a ~ 4 2 c との間の位置ズレの方向と、2 つの対向するスタブのスタブ長誤差の 2 乗和の関係を示すグラフ図である。

第 18 図はこの発明の実施の形態 4 による高周波回路を示す分解構造図である。

第 19 図は誘電体基板 2 1 を示す平面図である。

第 20 図はこの発明の実施の形態 5 による高周波回路を示す分解構造図である。

第 21 図は高周波回路の側方断面図である。

第 22 図は誘電体基板 1 1 1 を示す平面図である。

第 23 図は誘電体基板 1 2 1 を示す平面図である。

第 24 図は誘電体基板 1 1 1 , 1 1 2 を重ねて上方から見た図であって、ストリップ導体パターンのオーバーラップを説明する説明図である。

第 25 図はヴィアホール部分の断面構造図である。

第 26 図はこの発明の実施の形態 6 による高周波回路を示す分解構造図である。

第 27 図は誘電体基板 1 1 1 を示す平面図である。

第 28 図は誘電体基板 1 2 1 を示す平面図である。

第 29 図は誘電体基板 1 1 1 , 1 1 2 を重ねて上方から見た図であって、ストリップ導体パターンのオーバーラップを説明する説明図である。

第 30 図はこの発明の実施の形態 7 による高周波回路を示す分解構造図である。

第 3 1 図は高周波回路の側方断面図である。

第 3 2 図は誘電体基板 2 1 を示す平面図である。

第 3 3 図は分波器を示す構成図である。

#### 発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

##### 実施の形態 1.

第 4 図はこの発明の実施の形態 1 による高周波回路を示す分解構造図、第 5 図は高周波回路の側方断面図、第 6 図は誘電体基板 2 1 を示す平面図、第 7 図は通し穴の断面構造図である。第 4 図～第 7 図において、2 1 はストリップ導体が形成された誘電体基板（第 1 の誘電体基板）、2 2 は入力線路を構成するストリップ導体、2 3 は出力線路を構成するストリップ導体、2 4 a, 2 4 b, 2 4 c, 2 4 d は誘電体基板 2 1 の両面に形成されたストリップ導体から構成された直列キャパシタンス回路、2 5 a, 2 5 b, 2 5 c は  $1/4$  波長以下の長さのショートスタブを構成する並列インダクタンス回路、2 6 a, 2 6 b, 2 6 c はネジ 3 2 a, 3 2 b, 3 2 c を貫通するために施された通し穴、2 7 a, 2 7 b, 2 7 c はストリップ導体で形成されたランドである。

3 1 は誘電体基板 2 1 の上面側に配置された地導体（第 1 の地導体）、3 2 a, 3 2 b, 3 2 c は上下の地導体 3 1, 4 1 間の電氣的接続を確実にするためのネジ、3 3 a, 3 3 b, 3 3 c は地導体 3 1 と電氣的に接続され、あるいは、地導体 3 1 を構成する良導体と一体化された導体構造物である。

4 1 は誘電体基板 2 1 の下面側に配置された地導体（第 2 の地導体）、4 2 a, 4 2 b, 4 2 c は地導体 4 1 と電氣的に接続され、あるいは

、地導体 4 1 を構成する良導体と一体化された導体構造物である。

5 1 は地導体 3 1 と誘電体基板 2 1 間の空気層に挿入された誘電体基板（第 2 の誘電体基板）、5 2 a, 5 2 b, 5 2 c はネジ 3 2 a, 3 2 b, 3 2 c を貫通するために施された通し穴である。

6 1 は地導体 4 1 と誘電体基板 2 1 間の空気層に挿入された誘電体基板（第 3 の誘電体基板）、6 2 a, 6 2 b, 6 2 c はネジ 3 2 a, 3 2 b, 3 2 c を貫通するために施された通し穴である。

ネジ 3 2 a, 3 2 b, 3 2 c と導体構造物 3 3 a, 3 3 b, 3 3 c とが、通し穴 5 2 a, 5 2 b, 5 2 c を貫通する。また、ネジ 3 2 a, 3 2 b, 3 2 c と導体構造物 3 3 a, 3 3 b, 3 3 c が通し穴 6 2 a, 6 2 b, 6 2 c を貫通する。

7 1, 7 2 は空気層である。なお、誘電体基板 5 1, 6 1 の厚さ寸法 h が導体構造物 3 3 a ~ 3 3 c, 4 2 a ~ 4 2 c の高さ寸法 d よりも薄くなるように設計されている。また、誘電体基板 5 1 は地導体 3 1 と密着するように固定され、誘電体基板 6 1 は地導体 4 1 と密着するように固定される。

この結果、誘電体基板 2 1 と誘電体基板 5 1 の間に空気層 7 1 が設けられ、誘電体基板 2 1 と誘電体基板 6 1 の間に空気層 7 2 が設けられる。

ここで、寸法 d と寸法 h は、寸法 d のノミナル寸法値と寸法 h のノミナル寸法値との差が、導体構造物 3 3 a ~ 3 3 c, 4 2 a ~ 4 2 c の高さ寸法 d の機械加工寸法公差絶対値と誘電体基板 5 1, 6 1 の厚さ寸法 h の寸法公差絶対値との和より十分大きくなるように選ばれている。

なお、ネジ 3 2 a ~ 3 2 c, 導体構造物 3 3 a ~ 3 3 c, 4 2 a ~ 4 2 c, 通し穴 2 6 a ~ 2 6 c, 5 2 a ~ 5 2 c, 6 2 a ~ 6 2 c から短絡手段が構成されている。

次に動作について説明する。

第4図の高周波回路は、高域通過フィルタを構成しているので、高域通過フィルタとしての動作を説明する。

並列インダクタンス回路25a～25cと直列キャパシタンス回路24a～24dが交互に接続され、それらが入力線路を構成するストリップ導体22と出力線路を構成するストリップ導体23の間に接続されている。

このため、入力線路から入射されたマイクロ波等の高周波信号のうち、ある周波数を境にして低い周波数側の信号は、周波数が低いほど並列インダクタンス回路25a～25cが短絡回路に近づき、かつ、直列キャパシタンス回路24a～24dが開放回路に近づくため、ほとんどの電力が反射される。

一方、高い周波数側の信号は、並列インダクタンス回路25a～25cが開放回路に近づき、かつ、直列キャパシタンス回路24a～24dが短絡回路に近づくため、反射される電力量が少ない。そのため、入射された信号の大部分の電力が出力線路に伝搬される。

このようにして、第4図の高周波回路は高域通過フィルタとして動作をする。また、並列インダクタンス回路25a～25cを構成するショートスタブは、隣接するもの同士が対向するようにレイアウトされ、スタブ同士での不要な電磁界結合を防止している。

ところで、この実施の形態1では、従来の高周波回路の空気層15，16の部分に誘電体基板51，61を挿入する構造となっているため、回路内を伝搬する高周波信号に対して波長短縮効果が発生する。このため、小型に高域通過フィルタを構成できるという効果を奏する。ここで、誘電体基板51，61の厚さ寸法hを前述のように選んであるため、短絡手段における電氣的接続はh寸法やd寸法の公差に影響されること

のない確実なものとなり、PIM (Passive Inter-modulation) の抑圧された高域通過フィルタを安定的に得ることができる。

第8図はこの実施の形態1におけるサスペンデッドストリップ線路を示す断面構造図である。第8図には断面内の電界分布の概略も併記している。

この実施の形態1の線路では、線路の特性アドミタンスは、誘電体基板21に形成されているストリップ導体と地導体31, 41との間の単位長さ当たりの静電容量に比例するものと考えてよい。

また、第8図に示すように、誘電体基板21と空気層71間の境界面と、誘電体基板21と空気層72間の境界面は、電界に対してほぼ垂直となるため、ストリップ導体と地導体31, 41との間の静電容量は、第9図のような平行平板容量素子の直列接続で考えることができる。第9図において、C1は誘電体基板21に対応する静電容量素子、C2は空気層71に対応する静電容量素子である。平行平板の幅はストリップ導体の幅とし、C2の平行平板間隔を $x$ とし、C1の平行平板間隔は $d - x$  ( $=h$ ) とする。

$d$ は前述のように、短絡手段を構成する導体構造物33a~33c, 42a~42cの高さ寸法である。C1の誘電体の比誘電率は $\epsilon_{r1}$ 、C2の誘電体の比誘電率は $\epsilon_{r2}$ とする。なお、誘電体基板21の厚さは寸法 $d$ に比べ十分に小さいものとする。第9図の端子a-a'間の静電容量値を $C$ とすると、線路の特性アドミタンスは下記の式で表され、 $x$ の関数で表すことができる。

$$\begin{aligned}
 Y_0 &= vC \\
 &= 2v \left( \frac{C_1 C_2}{C_1 + C_2} \right) \equiv 2vf(x)
 \end{aligned}
 \tag{1}$$

ここで、 $v$ は高周波の伝搬速度である。ここでは説明を簡単にするため、伝搬速度  $v$  は  $x$  によらず一定であるとする。このとき、 $x$  の関数の部分  $f(x)$  は次式となる。

$$f(x) = \frac{\varepsilon_{r1}}{(\varepsilon_{r1} - 1)x + d} \tag{2}$$

また、 $f(x)$  の変化率は次式となる。

$$f'(x) = \frac{-\varepsilon_{r1}(\varepsilon_{r1} - 1)}{\{(\varepsilon_{r1} - 1)x + d\}^2} \tag{3}$$

さて、 $x$  の変域は 0 以上  $d$  以下である。したがって、 $f(x)$  の変化率の絶対値は  $x$  が 0 近傍のところで最も大きく、 $x$  が 0 から大きくなるにしたがって  $x$  の 2 乗に反比例して減少していく。そして、 $x$  が  $d$  となると変化率の絶対値は最も小さくなる。即ち、空気層 71, 72 が薄く、0 に近い時ほど、その層の厚さの変化による特性アドミタンス変化量が大きくなることが分かる。

サスペンデッドストリップ線路を用いた回路を小型化するために、ストリップ導体を設けた誘電体基板 21 と地導体 31, 41 間の空気層に誘電体を充填すると、充填した誘電体による波長短縮効果で回路を小さくすることができる。その効果を最大限に得るには空気層のところに隙

間なく誘電体を充填するのが良い。

しかしながら、地導体 3 1, 4 1 とストリップ導体を設けた誘電体基板 2 1 とが別部品で構成され、なおかつ、地導体 3 1, 4 1 とストリップ導体間の短絡手段が必要な回路では、誘電体を隙間なく充填しようとしても、短絡手段を構成する導体構造物 3 3 a ~ 3 3 c, 4 2 a ~ 4 2 c の機械的な寸法公差と、誘電体基板 5 1, 6 1 の厚さ寸法の公差は一致しないため、完全に空気層を無くすことはできないことになる。

あえて隙間があくことのないように誘電体基板 5 1, 6 1 の厚さ寸法と短絡手段を構成する導体構造物 3 3 a ~ 3 3 c, 4 2 a ~ 4 2 c の高さ寸法を選ぶと、2 つの部品の寸法公差の絶対値の和を最大とする微小な厚さの空気層ができる。しかも、この空気層の厚さは 0 から上記の最大値の範囲でばらつきが生じる。

式 (3) で示したように、空気層の厚さ  $x$  が 0 に近いときには特性アドミタンスの変化率が大きく、この結果、高域通過フィルタの特性をばらつかせる原因になる。

そこで、例えば、空気層の厚さ  $x$  として  $d / \epsilon_{r1}$  なる値を用いるとすると、 $f(x)$  の変化率は次式となり、 $x = 0$  近傍の変化率よりもかなり小さくできることが分かる。通常、短絡手段を構成する導体構造物 3 3 a ~ 3 3 c, 4 2 a ~ 4 2 c の機械加工寸法公差、および、誘電体基板 5 1, 6 1 の厚さ寸法の公差は、上記のような空気層厚さ  $x = d / \epsilon_{r1}$  よりも十分小さくなる。

$$f'(x) \Big|_{x=\frac{d}{\epsilon_{r1}}} = \left( \frac{\epsilon_{r1}}{2\epsilon_{r1}-1} \right)^2 f'(x) \Big|_{x=0} \quad (4)$$

仮に、誘電体基板 5 1, 6 1 の比誘電率を 3 程度とすると、空気層 7

1, 72の厚さは $d/3$ となる。このとき式(4)によれば、特性アドミタンスの変化率は空気層が0に近い時の36%に低減される。

このように、この実施の形態1では、誘電体基板71, 72の厚さを、導体構造物33a~33c, 42a~42cの高さ寸法dから、導体構造物33a~33c, 42a~42cの高さ寸法dの寸法公差絶対値と誘電体基板51, 61の厚さ寸法公差の絶対値との和より十分大きな値を差し引いた厚さとすることで、短絡手段での確実な電氣的接続を確保してPIMを抑圧できる構造としつつ、誘電体基板51, 61を装着したことによる波長短縮効果によって小型化が可能である。なおかつ、高域通過フィルタを構成する部品の寸法公差による特性アドミタンスのばらつきが小さく、特性の良好な高域通過フィルタを安定して得ることができるという効果がある。

この他、この実施の形態1では、誘電体基板51, 61を地導体31, 41と密着させるとともに、誘電体基板21との間に空気層71, 72を設けているので、誘電体基板51, 61の位置決めが容易になり、機構面でのメリットも奏する。

#### 実施の形態2.

上記実施の形態1では、誘電体基板51を地導体31と密着するように固定し、誘電体基板61を地導体41と密着するように固定するものについて示したが、第10図及び第11図に示すように、誘電体基板51, 61を誘電体基板21と密着するように固定してもよく、上記実施の形態1と同様の効果を奏する。

なお、この実施の形態2では、誘電体基板51, 61がストリップ導体が形成された誘電体基板21を挟むように密着させているので、耐電力の点で優れているという効果を奏する。これは、電磁界の境界条件の



ひとつである電束密度の法線成分の連続性から、空気層の部分では誘電体基板内よりも電界強度が大きくなることに起因している。ストリップ導体近傍は、地導体近傍にくらべ導体面積が小さいことから電界が集中しており、誘電体の有無による電界強度の変化が大きい。また、ストリップ導体の幅が狭くなるほど電界は集中の度合いを増すので、フィルタにストリップ導体幅の狭い部分を多く介在させなければならない場合、この実施の形態 2 の構造は耐電力で効果が大きい。

さらに、ストリップ導体が形成された誘電体基板 2 1 が誘電体基板 5 1, 6 1 に挟まれるので、誘電体基板 5 1, 6 1 の平面度と剛性が高ければ、誘電体基板 2 1 には剛性の小さい（柔らかい）基板材料を用いることが可能で、材料的な自由度のほか、非常に薄い基板を誘電体基板 2 1 に使用することができるという特徴がある。薄い基板を使用することが可能であると、直列キャパシタンス回路 2 4 a ~ 2 4 d の面積を小さくすることができるため回路が小型となる他、小型になることで集中定数素子に近づくので、特性も良好になるという効果が生じる。

### 実施の形態 3 .

第 1 2 図はこの発明の実施の形態 3 による高周波回路を示す分解構造図、第 1 3 図は高周波回路の側方断面図、第 1 4 図は誘電体基板 2 1 を示す平面図である。

この実施の形態 3 では、第 1 2 図及び第 1 4 図に示すように、入力線路及び出力線路を構成するストリップ導体 2 2, 2 3 に対して、並列インダクタンス回路 2 5 a, 2 5 b, 2 5 c を構成するショートスタブの線路を斜めにレイアウトしていることが特徴である。

ここで、直列キャパシタンス回路 2 4 a ~ 2 4 d を挟んで回路的に隣り合う 2 つのショートスタブ同士は、互いのなす角が略  $\pi/2$  ラジアン

(90度)となるようになっている。

以下、ショートスタブの線路を斜めにレイアウトすることによる効果について説明する。

第15図は誘電体基板21と導体構造物33a~33c, 42a~42cに位置ズレが起きたときに生じるスタブ長誤差の一例を示す説明図である。この例では、+x方向に $\Delta$ の位置ズレが起きたときのスタブ長誤差を示している。

位置ズレの量および方向と、スタブ長誤差の関係を説明する。第16図のように、直列キャパシタンス回路を挟んで対向する2つのスタブA, Bのそれぞれの入力線路の長さ方向に対する角度を $\theta_a$ ,  $\theta_b$ とし、方向ベクトル(単位ベクトル)を $a$ ,  $b$ とする。また、2つの方向ベクトル $a$ ,  $b$ のなす角を $\phi$ とする。さらに、短絡手段を構成する導体構造物33a~33c, 42a~42cに対する誘電体基板21のノミナル位置からの位置ズレ量を、大きさと方向が任意のベクトル $E_e$ で表すものとする。つまり、位置ズレの大きさが $E$ 、方向が $\theta_e$ で表される。このとき、位置ズレによるスタブAの長さ誤差を $\delta_a$ 、スタブBの長さ誤差を $\delta_b$ とすると、これらはそれぞれ次式で表される。

$$\begin{aligned}
 \frac{\delta_a}{E} &= a \cdot e \\
 &= \cos(\theta_a - \theta_e) \\
 &= \cos \theta_e \quad (\text{when } \theta_a = 0)
 \end{aligned}
 \tag{5}$$

$$\begin{aligned}
 \frac{\delta_b}{E} &= b \cdot e \\
 &= \cos(\theta_b - \theta_e) \\
 &= \cos(\phi - \theta_e) \quad (\text{when } \theta_a = 0)
 \end{aligned}
 \tag{6}$$

ここで、角度の基準をスタブ A の方向に一致させるため、 $\theta_a = 0$  とすると、2つのスタブの長さ誤差の2乗の和は次式となる。

$$\begin{aligned}
 \frac{\Delta^2}{E^2} &= \left( \frac{\delta_a}{E} \right)^2 + \left( \frac{\delta_b}{E} \right)^2 \\
 &= \cos^2 \theta_e + \cos^2(\phi - \theta_e)
 \end{aligned}
 \tag{7}$$

$\theta_e$  の変域、 $0 \sim 2\pi$  において、式(7)を用いて2つのスタブ長誤差の2乗の和を、2つのスタブのなす角  $\phi$  をパラメータとしてグラフにすると、第17図のようになる。

式(7)からも予想できるが、 $\phi$  を  $\pi/2$ 、もしくは、 $3\pi/2$  としたとき、スタブ長誤差の2乗の和が位置ズレ方向によらず一定となることが分かる。 $\phi$  の値をこれ以外の値とすると、位置ズレの方向によっては、スタブの長さ誤差が小さくなることもあるが、逆に長さ誤差が非常に大きくなる場合が出てくる。即ち、この実施の形態3の高域通過フィルタでは、短絡手段を構成する導体構造物 33a ~ 33c, 42a ~ 4

2 c と誘電体基板 2 1 間の位置ズレの方向によりスタブ長誤差の合計に差が生じることがなく、フィルタの特性が極めて安定するという効果を奏する。これは、フィルタの歩留まりの向上や、位置ズレを調整する作業を不要とするなど、フィルタの低価格化につながる。

#### 実施の形態 4 .

上記実施の形態 3 では、入力線路及び出力線路を構成するストリップ導体 2 2 , 2 3 に対して、並列インダクタンス回路 2 5 a , 2 5 b , 2 5 c を構成するショートスタブの線路を斜めにレイアウトするものについて示したが、第 1 8 図及び第 1 9 図に示すように、並列インダクタンス回路 2 5 a , 2 5 b , 2 5 c を構成するショートスタブの線路を途中で折り曲げるようにしてもよい。

ここで、直列キャパシタンス回路 2 4 a ~ 2 4 d を挟んで回路的に隣り合う 2 つのショートスタブの短絡手段近傍の線路同士は、互いのなす角が略  $\pi/2$  ラジアン ( 9 0 度 ) となるように折り曲げてある。

この実施の形態 4 の高域通過フィルタは、基本的に上記実施の形態 3 と同様の効果を奏するが、これに加え、スタブ線路の途中で折り曲げているため、フィルタの長手方向の長さが短くなり、フィルタを小型に構成できるという効果を奏する。これは、ショートスタブの長さが長いフィルタで有効となる。

#### 実施の形態 5 .

第 2 0 図はこの発明の実施の形態 5 による高周波回路を示す分解構造図、第 2 1 図は高周波回路の側方断面図、第 2 2 図は誘電体基板 1 1 1 を示す平面図、第 2 3 図は誘電体基板 1 2 1 を示す平面図、第 2 4 図は誘電体基板 1 1 1 , 1 2 1 を重ねて上方から見た図であって、ストリップ

ブ導体パターンのオーバーラップを説明する説明図、第25図はヴィアホール部分の断面構造図である。

第21図～第25図において、101は地導体102が上面に施され、LTCC (Low Temperature Co-fired Ceramics : 低温焼成セラミックス) 材料で形成された誘電体基板 (第1の誘電体基板)、102は地導体 (第1の地導体) である。

111はストリップ導体112a, 112bが上面に施され、LTCC材料で形成された誘電体基板 (第2の誘電体基板)、112a, 112bはストリップ導体 (第1のストリップ導体)、113a, 113bは1/4波長以下の長さのショートスタブを構成する並列インダクタンス回路、114a, 114b, 114cはランド115a～115cと電氣的に接続されているヴィアホール、115a, 115b, 115cはストリップ導体で形成されたランドである。

121はストリップ導体122, 123が上面に施され、LTCC材料で形成された誘電体基板 (第3の誘電体基板)、122は入力線路を構成するストリップ導体、123は出力線路を構成するストリップ導体、124は1/4波長以下の長さのショートスタブを構成する並列インダクタンス回路、125a, 125b, 125cはランド126a～126cと電氣的に接続されているヴィアホール、126a, 126b, 126cはストリップ導体で形成されたランドである。

131は地導体132が上面に施され、LTCC材料で形成された誘電体基板 (第4の誘電体基板)、132は地導体 (第2の地導体)、133a, 133b, 133cは地導体132と電氣的に接続されているヴィアホール、141a, 141b, 141c, 141dは誘電体基板111, 121に形成されたストリップ導体のオーバーラップにより構成された直列キャパシタンス回路である。

なお、ビアホール 114a～114c, 125a～125c, 133a～133c 及びランド 115a～115c, 126a～126c から短絡手段が構成されている。

この実施の形態 5 の高域通過フィルタは、4 枚の誘電体基板を重ね合わせて構成されており、第 20 図、第 22 図～第 24 図に示すように、入力線路及び出力線路を構成するストリップ導体 122, 123 に対して、並列インダクタンス回路 113a, 113b, 124 を構成するショートスタブの線路を斜めにレイアウトしていることが特徴である。

ここで、直列キャパシタンス回路 141a～141d を挟んで回路的に隣り合う 2 つのショートスタブ同士は、互いのなす角が略  $\pi/2$  ラジアン (90 度) となるようにレイアウトされている。

この実施の形態 5 の高域通過フィルタは、基本的には上記実施の形態 3 のフィルタと同様な動作をする。LTCC 材料は近年、マイクロ波等の高周波の多層回路用の誘電体基板の材料として用いられるようになったものである。LTCC 材料は焼成温度が従来のセラミクス材料に比べて低いため、導電率の高い良導体を内層のパターン導体として用いることができる。そのため、低損失な多層回路が構成し易く、また、製造のための装置が安価なため低コストに製造できる特徴がある。

しかしながら、LTCC 基板で多層回路を構成する場合には、その製造方法の関係上、層間の位置精度がパターン精度に比べて低いという欠点がある。このため、複数の層間に跨って構成されるショートスタブにおいては、スタブを構成するストリップ線路のパターン導体と、短絡手段を構成するビアホールの位置関係においてズレが生じやすく、この結果、ショートスタブ長の誤差による特性劣化や特性ばらつきを引き起こしやすい。

この実施の形態 5 の高域通過フィルタは、ショートスタブのレイアウト

トによって、上記の位置ズレの影響を小さく抑えたものであり、直列キャパシタンス回路 141a～141d を挟んで隣接するショートスタブのなす角を略  $\pi/2$  (90度) としたものである。

これにより、上記実施の形態 3 で示したように、短絡手段を構成するビアホール 114a～114c, 125a～125c, 133a～133c と、誘電体基板 111, 112 上のストリップ導体パターンとの間の位置ズレの方向に依らずスタブ長誤差の 2 乗和を一定とすることができ、特性劣化を低減するとともに特性のばらつきを低減できるという効果を奏する。そして、フィルタの歩留まり向上により低価格化が可能となる効果がある。

なお、この実施の形態 5 では、誘電体基板 101 の上方の主面に地導体 102 を設ける構造を示しているが、地導体 102 は誘電体基板 111 の下方の主面に構成してもよい。このように、導体パターンを配置する誘電体基板が一部異なっていて、構造が本実施の形態の高域通過フィルタと若干異なっても同様な動作をするフィルタを得ることができるのは言うまでもなく、本明細書ではこのような構造の違いを限定するものではない。

#### 実施の形態 6 .

上記実施の形態 5 では、入力線路及び出力線路を構成するストリップ導体 122, 123 に対して、並列インダクタンス回路 113a, 113b, 124 を構成するショートスタブの線路を斜めにレイアウトするものについて示したが、第 26 図～第 29 図に示すように、並列インダクタンス回路 113a, 113b, 124 を構成するショートスタブの線路を途中で折り曲げるようにしてもよい。

ここで、直列キャパシタンス回路 141a～141d を挟んで回路的

に隣り合う2つのショートスタブの短絡手段近傍の線路同士は、互いのなす角が略 $\pi/2$ ラジアン(90度)となるように折り曲げてある。

この実施の形態6の高域通過フィルタは、基本的に上記実施の形態5と同様の効果を奏するが、これに加え、スタブ線路の途中で折り曲げているため、フィルタの長手方向の長さが短くなり、フィルタを小型に構成できるという効果を奏する。これは、ショートスタブの長さが長いフィルタで有効となる。

#### 実施の形態7.

第30図はこの発明の実施の形態7による高周波回路を示す分解構造図、第31図は高周波回路の側方断面図、第32図は誘電体基板21を示す平面図、第33図は分波器を示す構成図である。第30図～第33図において、151は入力線路を構成するストリップ導体、152, 155は出力線路を構成するストリップ導体、153a～153dは高インピーダンス線路で構成された直列インダクタンス回路、154-a～154cは低インピーダンス線路で構成された並列キャパシタンス回路である。

161は直列キャパシタンス回路24a～24d及び並列インダクタンス回路25a～25cから構成された高域通過フィルタ、162はT分岐回路、163は直列インダクタンス回路153a～153d及び並列キャパシタンス回路154a～154cから構成された低域通過フィルタである。

なお、高域通過フィルタ161と低域通過フィルタ163のインダクタンス回路及びキャパシタンス回路は、一端終端形の回路となるように、インダクタンス値及びキャパシタンス値が選択されている。

次に動作について説明する。



第30図の高周波回路は、分波器を構成しているので、分波器としての動作を説明する。

入力線路151から入射されたマイクロ波等の高周波信号のうち、ある周波数を境にして低い周波数側の信号は、高域通過フィルタ161において殆どの電力が反射される。しかし、低域通過フィルタ163において、直列インダクタンス回路153a～153dが短絡回路に近づくとともに、並列キャパシタンス回路154a～154cが開放回路に近づくために反射する電力量が少なく、入力線路151から入射された信号の大部分が出力線路155に伝搬される。

一方、高い周波数側の信号は、低域通過フィルタ163において、直列インダクタンス回路153a～153dが開放回路に近づくとともに、並列キャパシタンス回路154a～154cが短絡回路に近づくために、殆どの電力が反射される。しかし、高域通過フィルタ161において反射する電力量が少ないため、入力線路151から入射された信号の大部分が出力線路152に伝搬される。

こうして、この実施の形態7の回路は、高周波信号をある周波数を境にして、高い周波数側の信号と低い周波数側の信号で分ける分波器として動作する。また、2つのフィルタがいずれも一端終端形として設計されているため、T分岐回路162側から見たそれぞれのフィルタの入力アドミタンスにおいて、サセプタンスの符号が互いに逆の関係となっていて打ち消し合う。このため、入力線路151では、広い周波数帯域にわたり、良好な反射特性が得られる特徴がある。

本分波器の2つのフィルタは、上述のように一端終端形の回路設計が為されているため、入力線路151での反射特性は、2つのフィルタの入力サセプタンスが打ち消し合う関係にあることで良好な特性を維持できる仕組みとなっている。したがって、一方のフィルタの入力サセプタ

ンス（アドミタンス）特性が所定の特性から誤差を含むと、入力線路 151 での反射特性が広い周波数範囲にわたって大幅に劣化しやすいという欠点がある。

この実施の形態 7 の分波器の構成要素である高域通過フィルタ 161 については、上記実施の形態 4 で示したフィルタと基本的に同様な構造となっているため同様な特徴を有する。即ち、小型なサスペンデッド線路構造ながら、特性インピーダンスのばらつきが少なく、かつ、誘電体基板の位置ズレによる特性劣化量が少なくばらつきが少ない特徴がある。一方、低域通過フィルタ 163 では小型なサスペンデッド線路構造ながら、特性インピーダンスのばらつきが少ない点は高域通過フィルタと同様であるが、短絡手段等はないため特性ズレはもともと少ない。したがって、この実施の形態 7 の分波器では、構成要素となる 2 つのフィルタの特性ばらつきがいずれも少ない。このため、入力線路 151 において良好な反射特性を広い周波数帯域にわたって得やすく、特性が良好で、かつ、ばらつきが少ない分波器が得られる効果を奏する。

#### 産業上の利用可能性

以上のように、この発明に係る高周波回路は、例えば V H F 帯、U H F 帯、マイクロ波帯及びミリ波帯で用いられるものであり、回路内を伝搬する高周波信号に対して波長短縮効果をもたらして、回路の小型化を図る必要があるものに適している。

## 請 求 の 範 囲

1. ストリップ導体が形成された第1の誘電体基板と、上記第1の誘電体基板の上面側に配置された第1の地導体と、上記第1の誘電体基板の下面側に配置された第2の地導体と、上記第1の地導体と上記ストリップ導体を電氣的に接続するとともに、上記第2の地導体と上記ストリップ導体を電氣的に接続する短絡手段とを備えた高周波回路において、上記第1の地導体と上記第1の誘電体基板間の空気層に第2の誘電体基板を挿入するとともに、上記第2の地導体と上記第1の誘電体基板間の空気層に第3の誘電体基板を挿入することを特徴とする高周波回路。

2. 第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、上記第2の誘電体基板を上記第1の地導体と密着させる一方、第3の誘電体基板の厚さを第2の地導体と上記第1の誘電体基板の間隔よりも薄くして、上記第3の誘電体基板を上記第2の地導体と密着させることを特徴とする請求の範囲第1項記載の高周波回路。

3. 第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、上記第2の誘電体基板を上記第1の誘電体基板と密着させる一方、第3の誘電体基板の厚さを第2の地導体と上記第1の誘電体基板の間隔よりも薄くして、上記第3の誘電体基板を上記第1の誘電体基板と密着させることを特徴とする請求の範囲第1項記載の高周波回路。

4. ストリップ導体が形成された第1の誘電体基板と、上記第1の誘電体基板の上面側に配置された第1の地導体と、上記第1の誘電体基板の

下面側に配置された第2の地導体と、上記第1の地導体と上記ストリップ導体を電氣的に接続するとともに、上記第2の地導体と上記ストリップ導体を電氣的に接続する短絡手段とを備えた高周波回路において、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するように上記ストリップ導体を形成することを特徴とする高周波回路。

5. 入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するようにストリップ導体を形成することを特徴とする請求の範囲第1項記載の高周波回路。

6. 直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が90度になるようにストリップ導体を形成することを特徴とする請求の範囲第4項記載の高周波回路。

7. 直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が90度になるようにストリップ導体を形成することを特徴とする請求の範囲第4項記載の高周波回路。

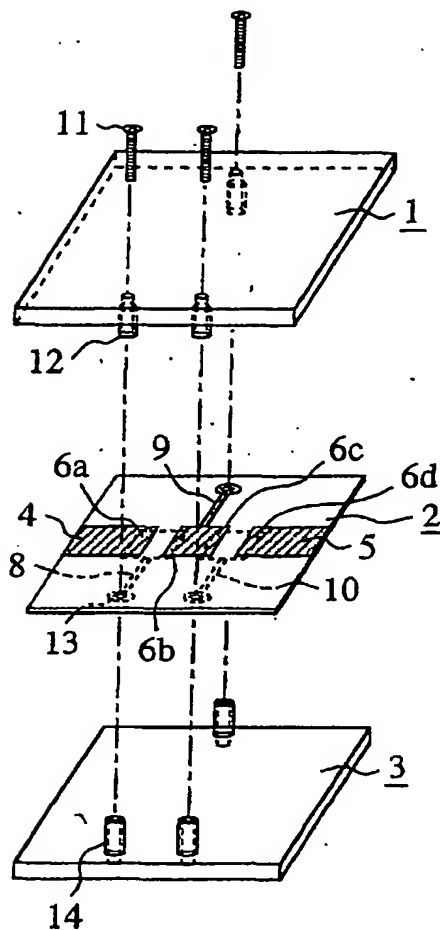
8. 第1の地導体が上面に施された第1の誘電体基板と、上記第1の誘電体基板に積層され、第1のストリップ導体が上面に施された第2の誘

電体基板と、上記第 2 の誘電体基板に積層され、第 2 のストリップ導体が上面に施された第 3 の誘電体基板と、上記第 3 の誘電体基板に積層され、第 2 の地導体が上面に施された第 4 の誘電体基板と、上記第 1 及び第 2 の地導体と上記第 1 及び第 2 のストリップ導体を電氣的に接続する短絡手段とを備えた高周波回路において、入力線路と出力線路の間に少なくとも 1 以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するように上記第 1 及び第 2 のストリップ導体を形成し、かつ、上記直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が 90 度になるように上記第 1 及び第 2 のストリップ導体を形成することを特徴とする高周波回路。

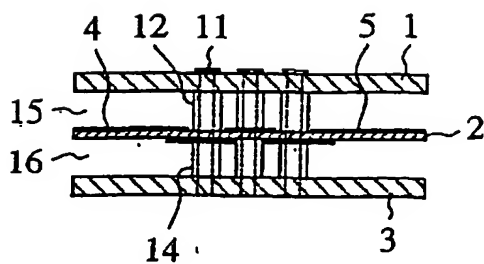
9. 直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が 90 度になるように第 1 及び第 2 のストリップ導体を形成することを特徴とする請求の範囲第 8 項記載の高周波回路。

10. 回路構成が一端終端形となるように直列キャパシタンス回路の容量値と並列インダクタンス回路のインダクタンス値が選定された高域通過フィルタと、回路構成が一端終端形である低域通過フィルタとを組み合わせ分波器を構成することを特徴とする請求の範囲第 8 項記載の高周波回路。

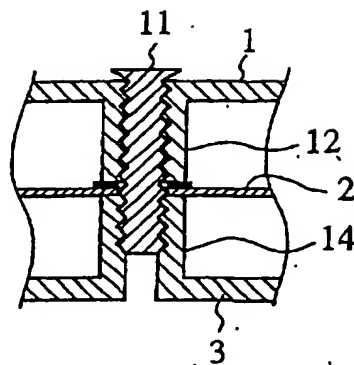
第1図



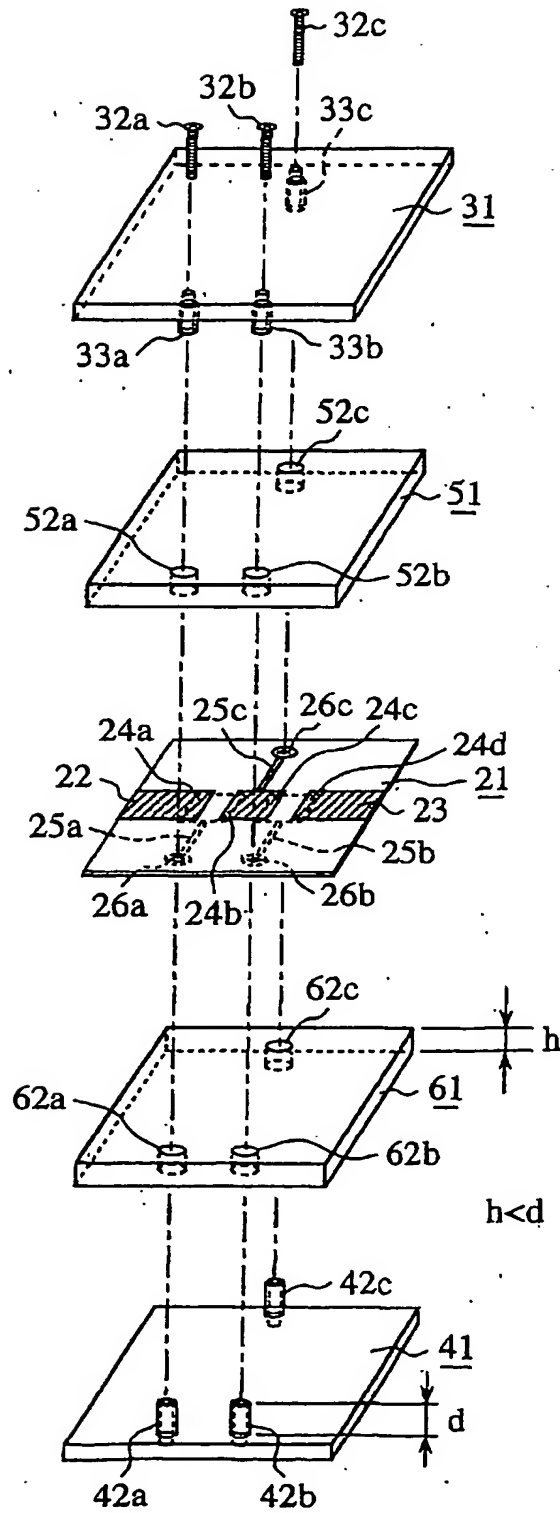
第2図



第3図

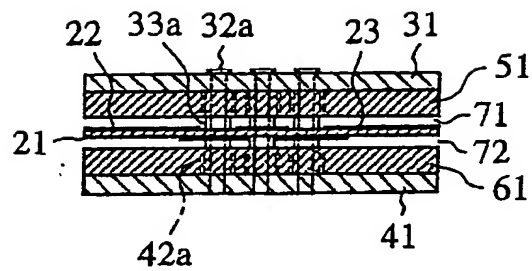


第4図

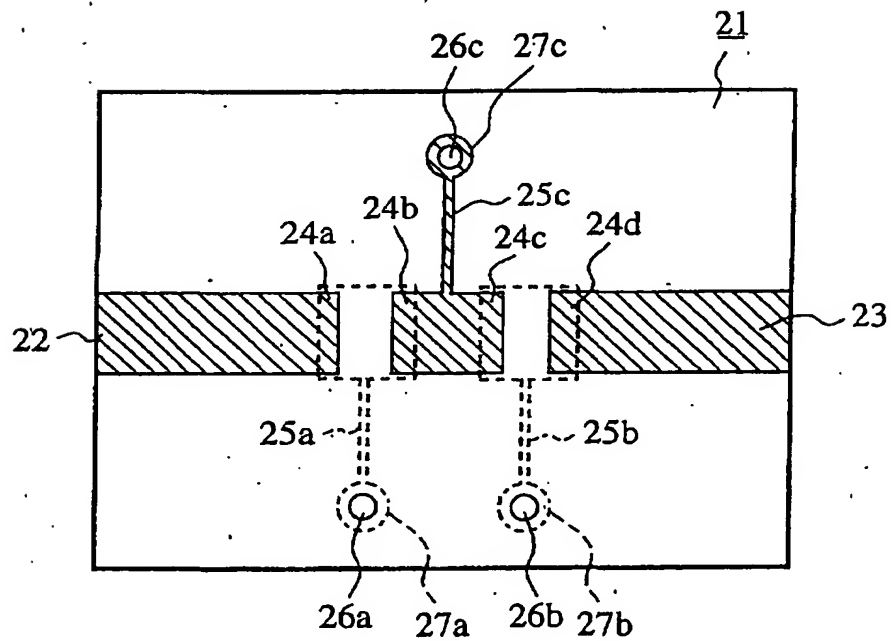


3/18

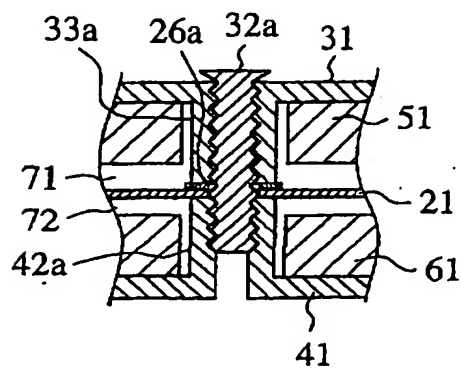
第5図



第6図

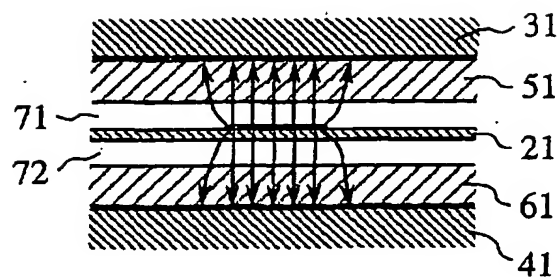


第7図

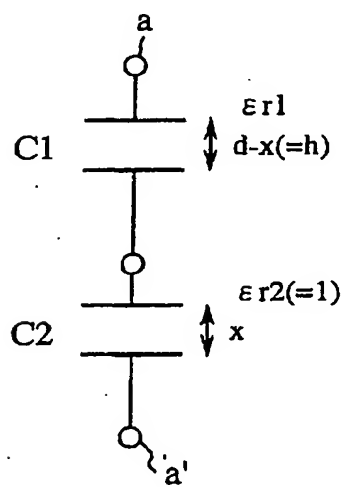




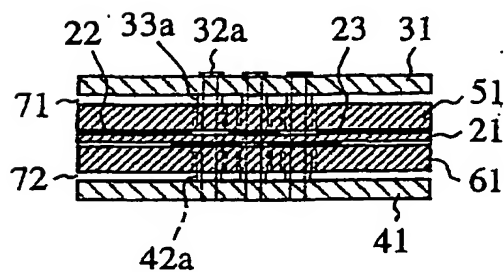
第8図



第9図

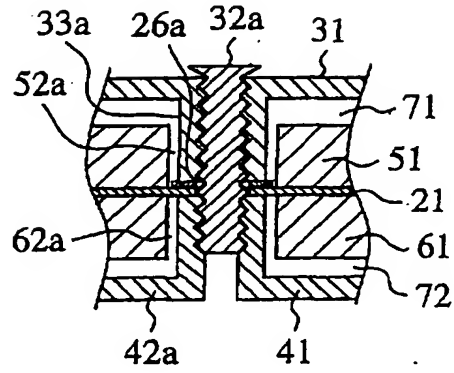


第10図

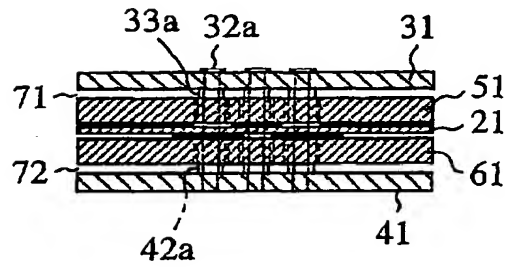


5/18

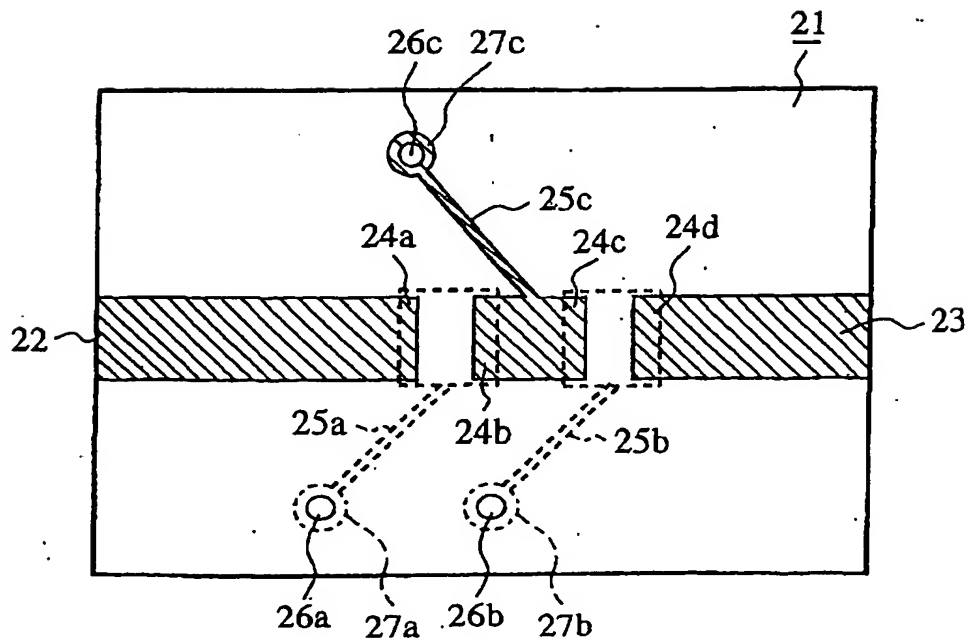
第11図



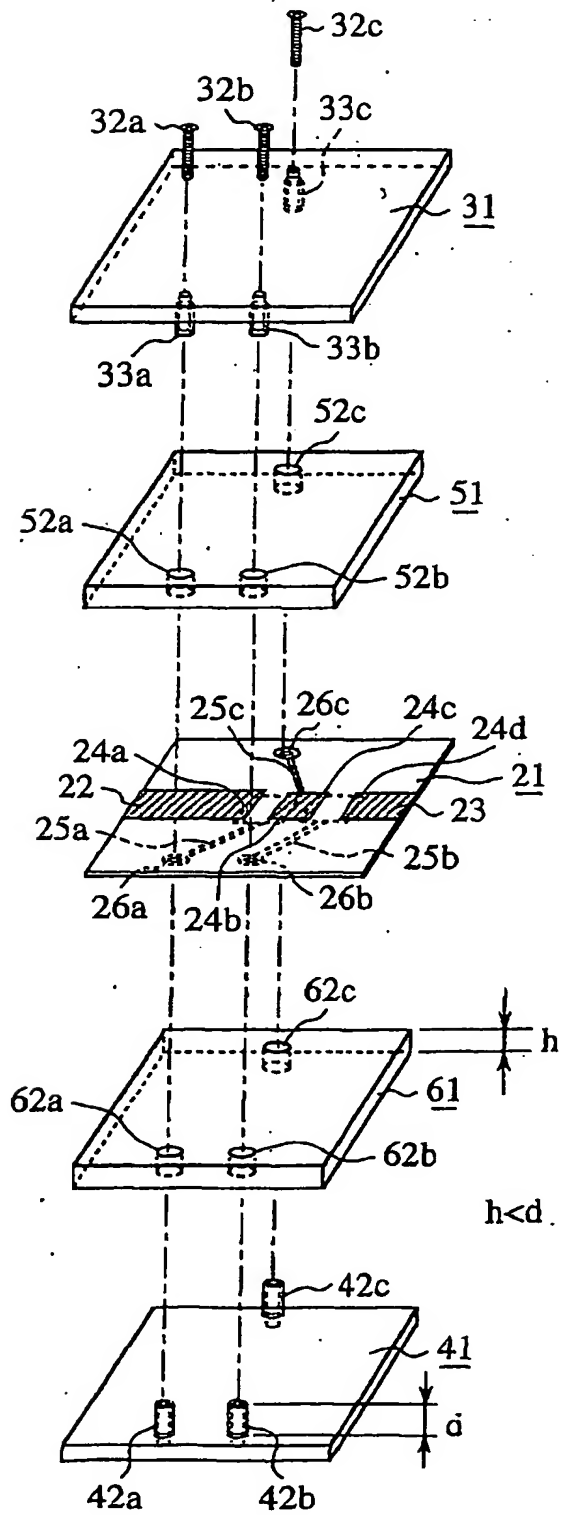
第13図



第14図

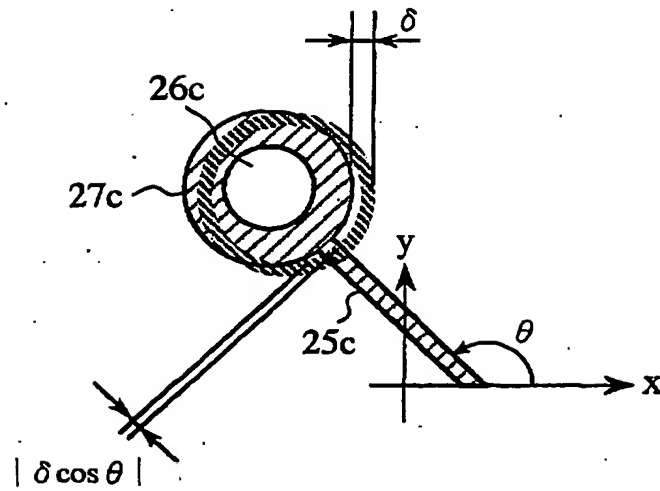


第12図

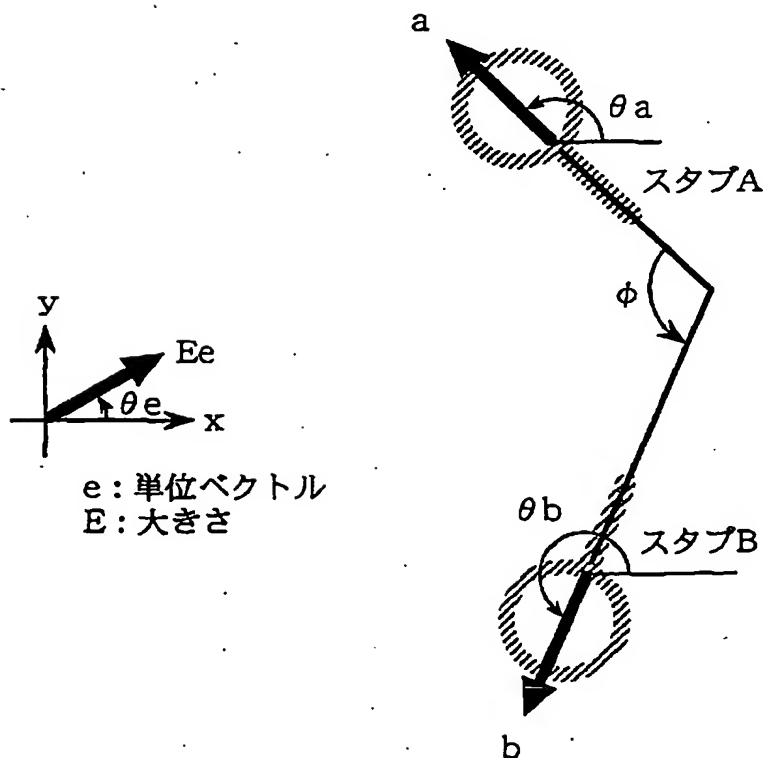


7/18

第15図

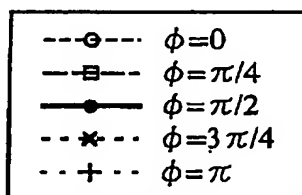
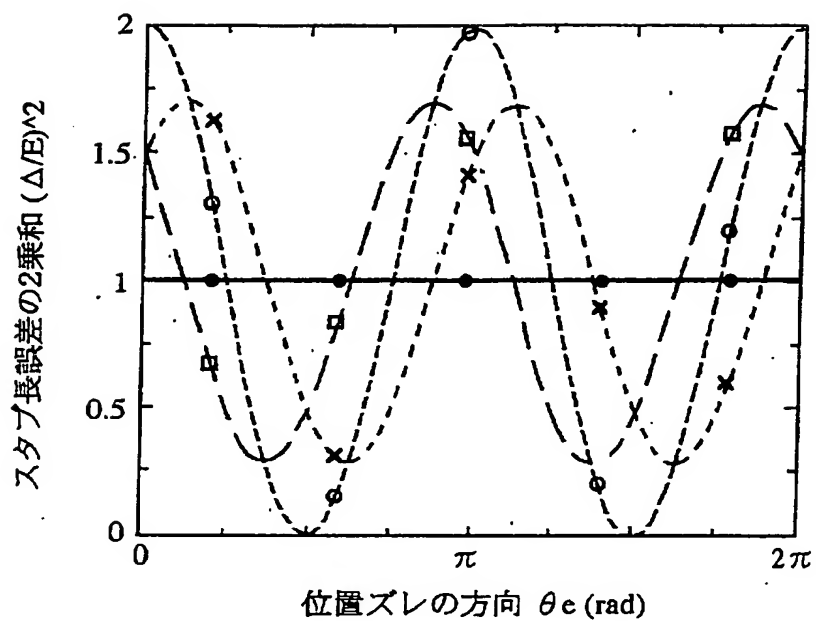


第16図



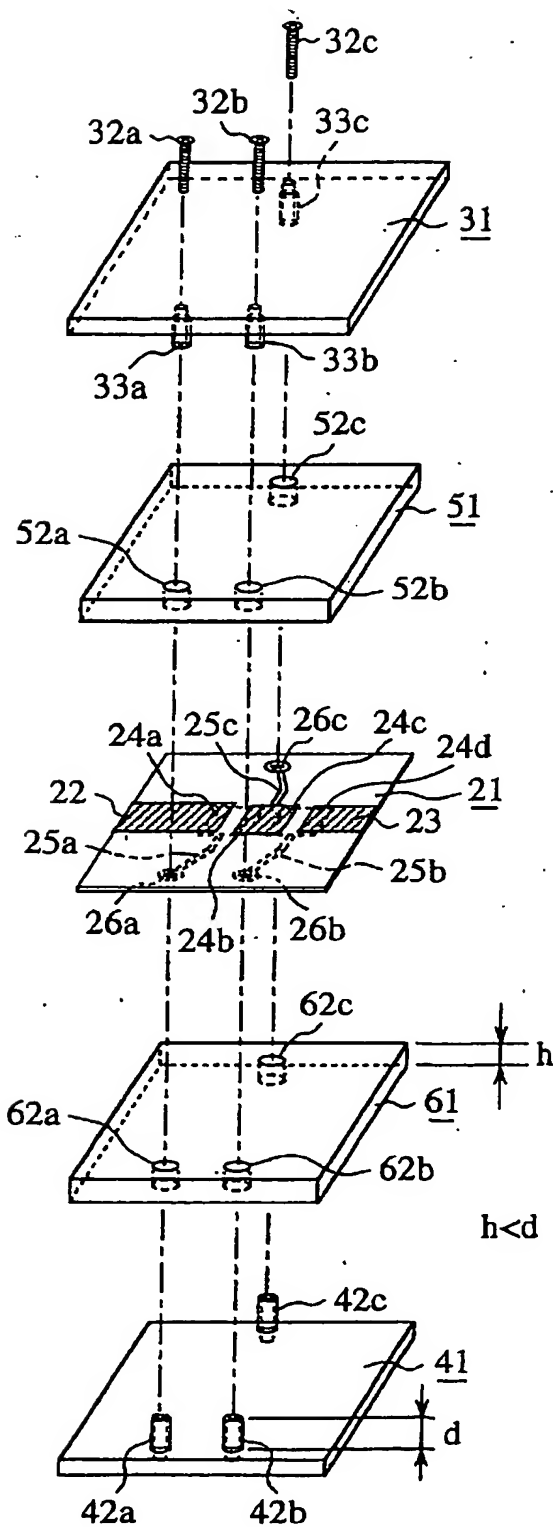
8/18

第17図



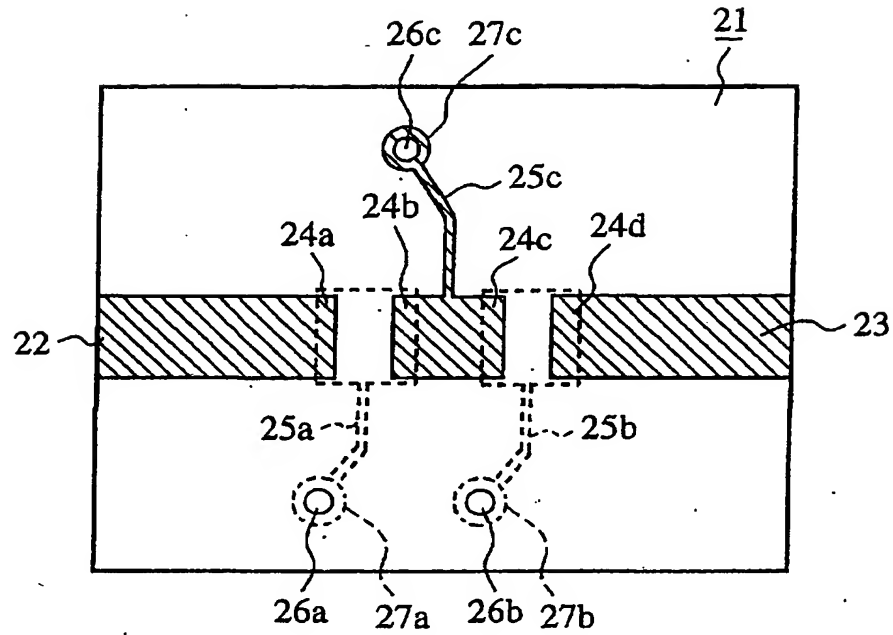
9/18

第18図

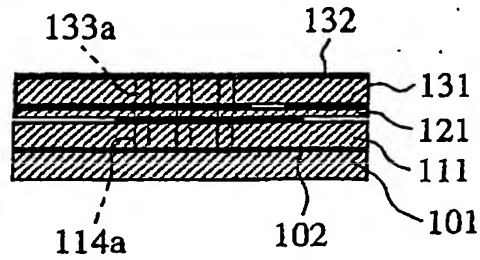


10/18

第19図

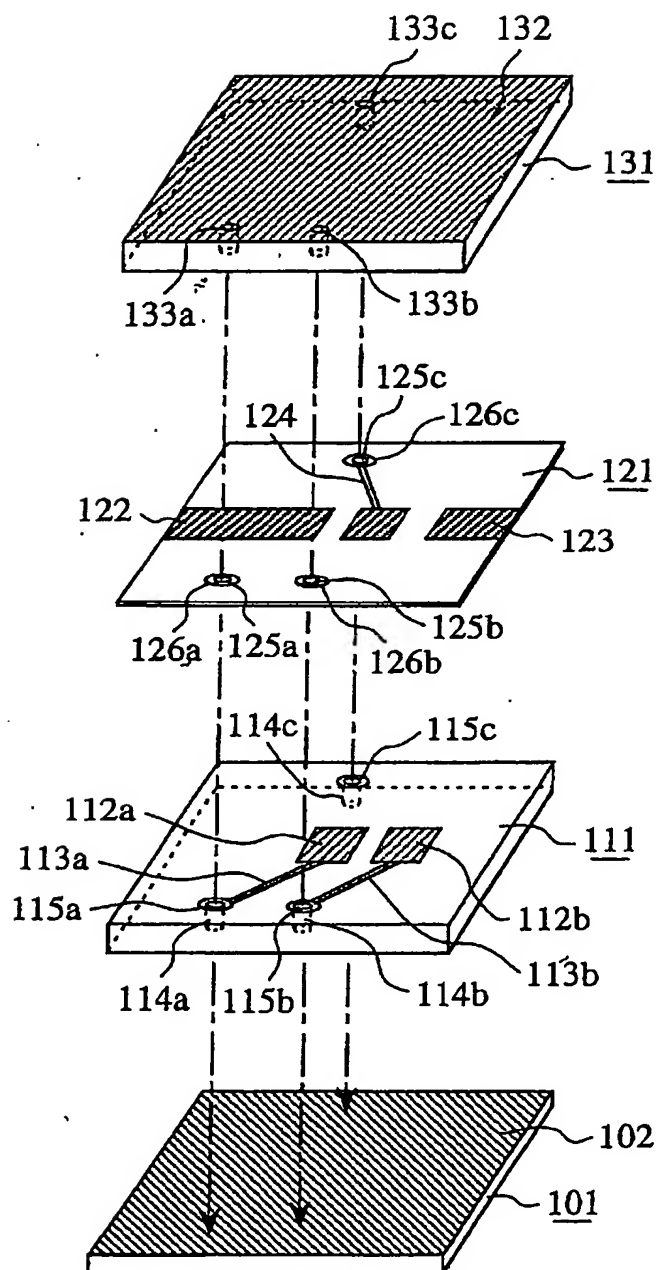


第21図



11/18

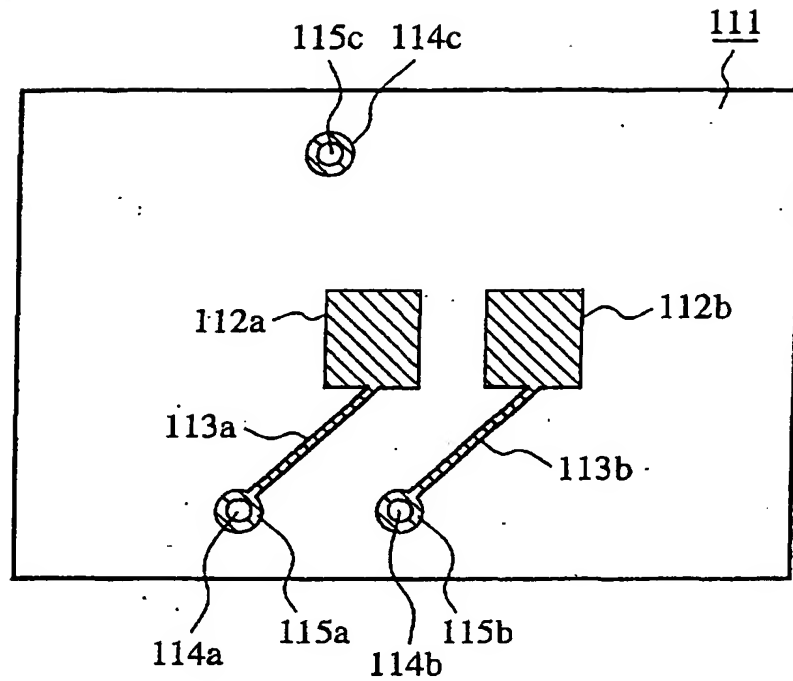
第20図



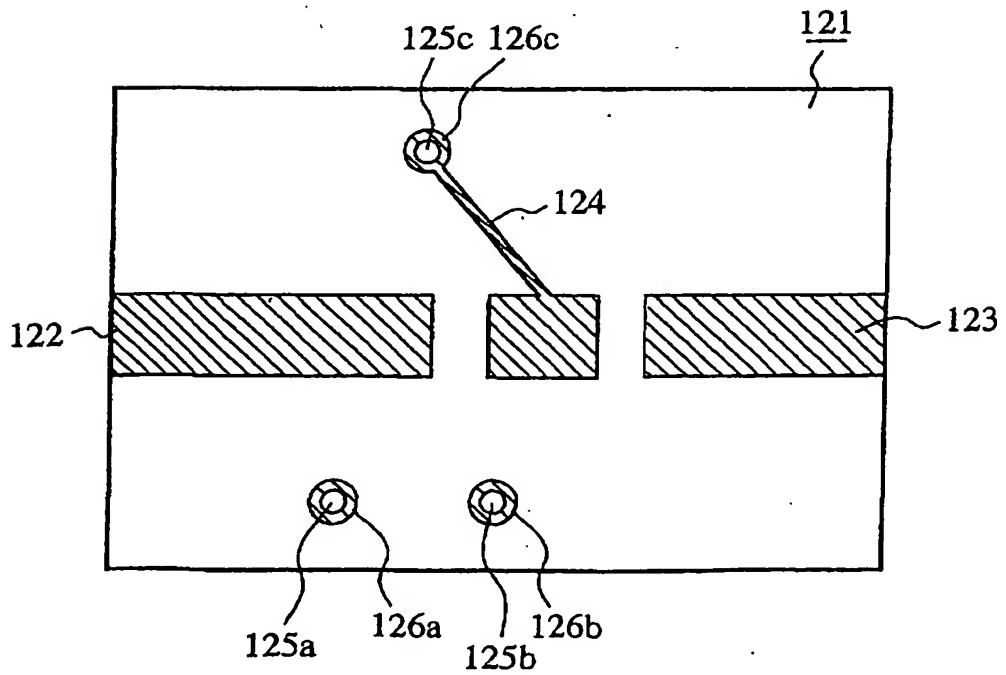


12/18

第22図

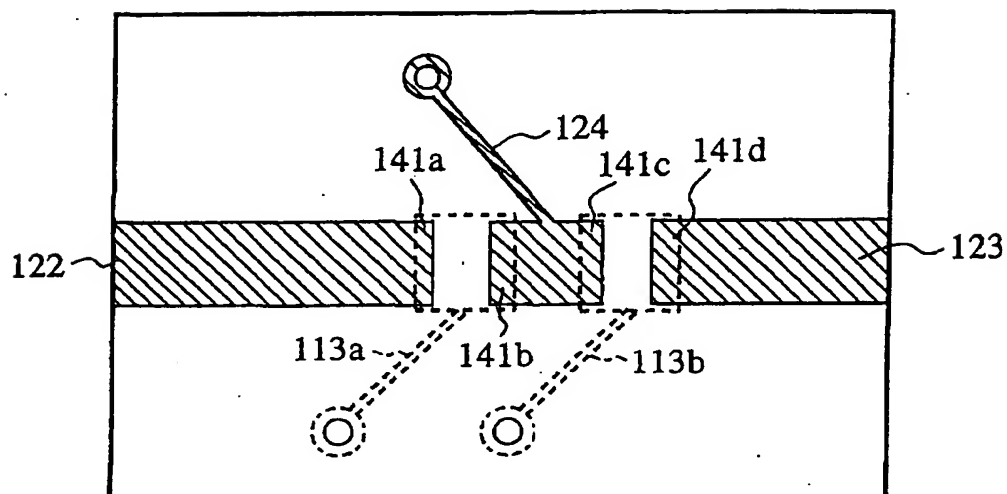


第23図

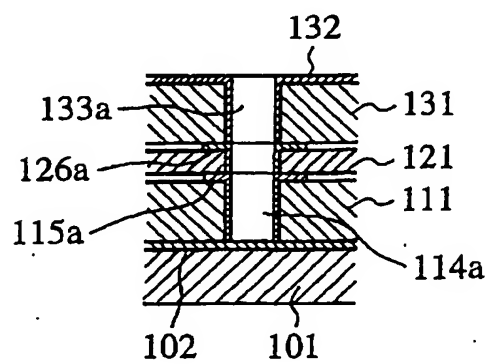


13/18

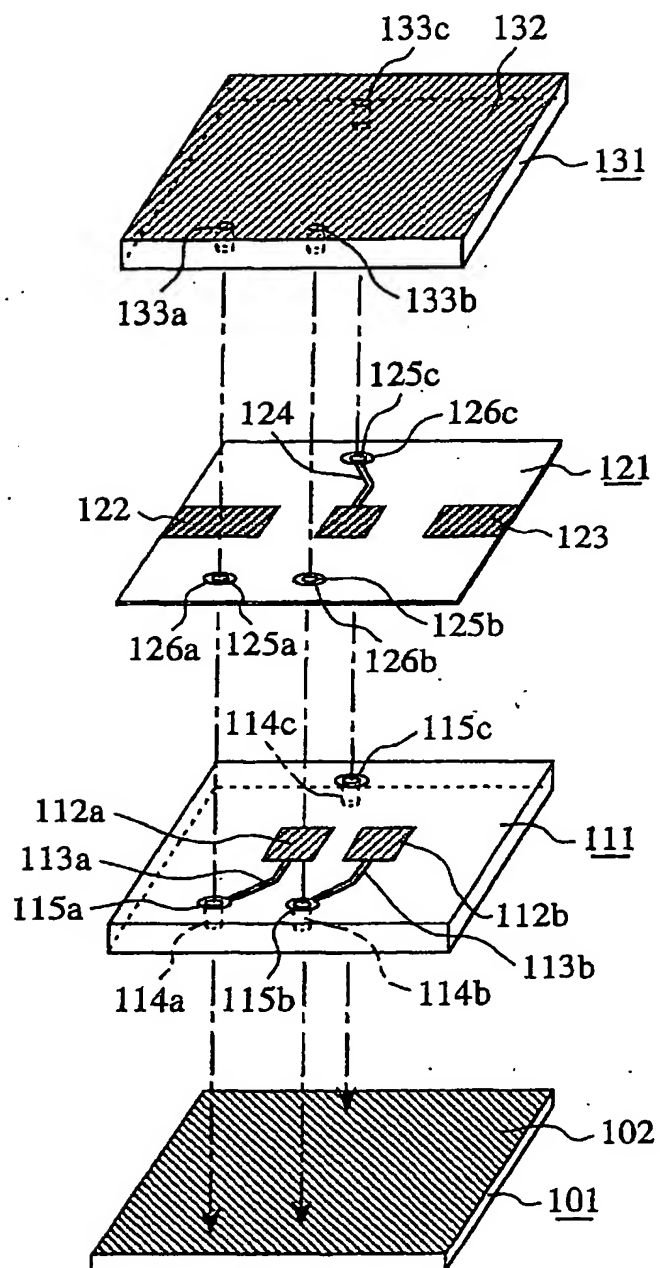
第24図



第25図

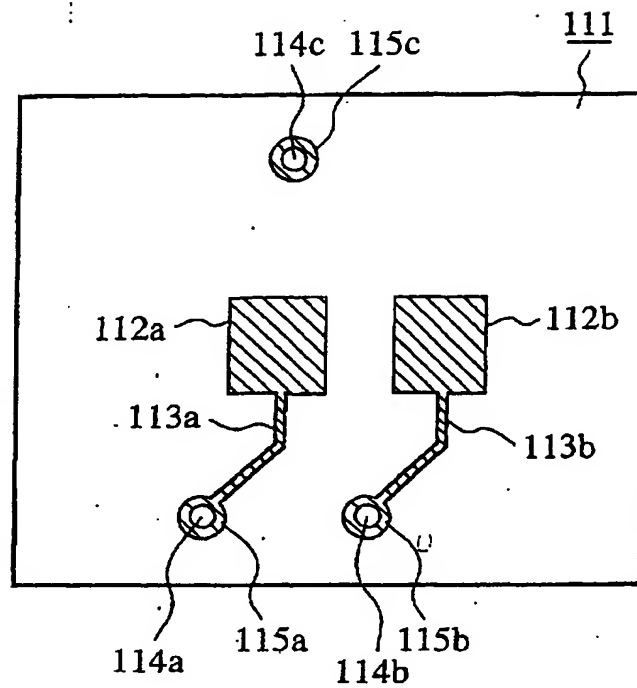


第26図

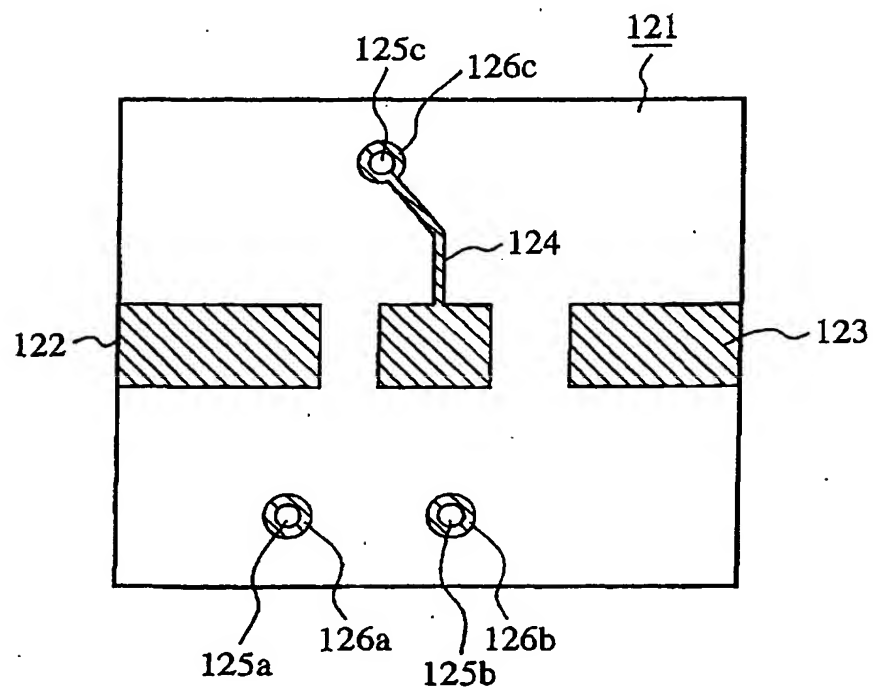


15/18

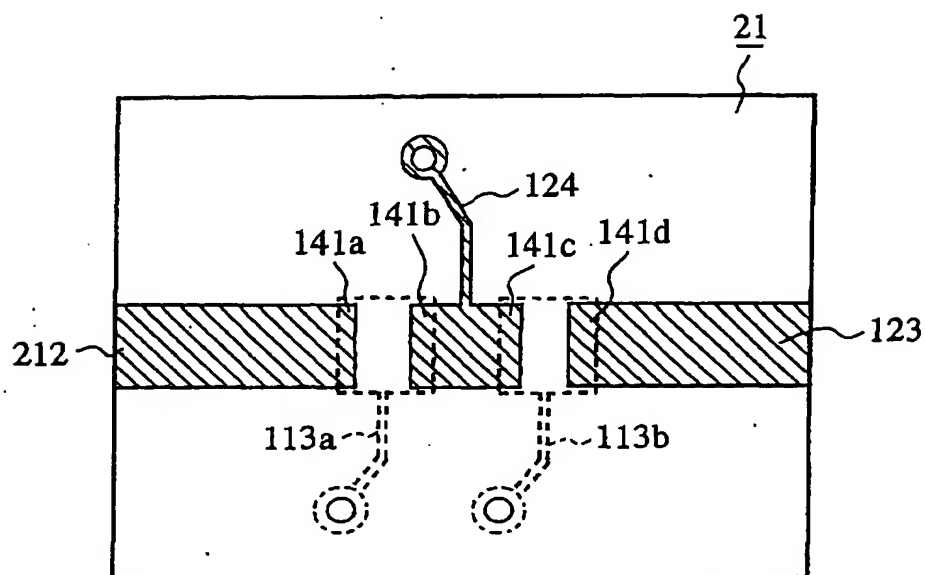
第27図



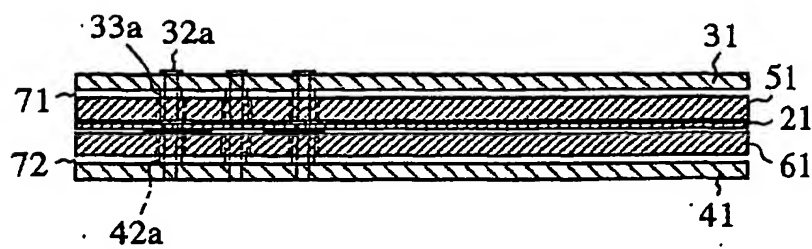
第28図



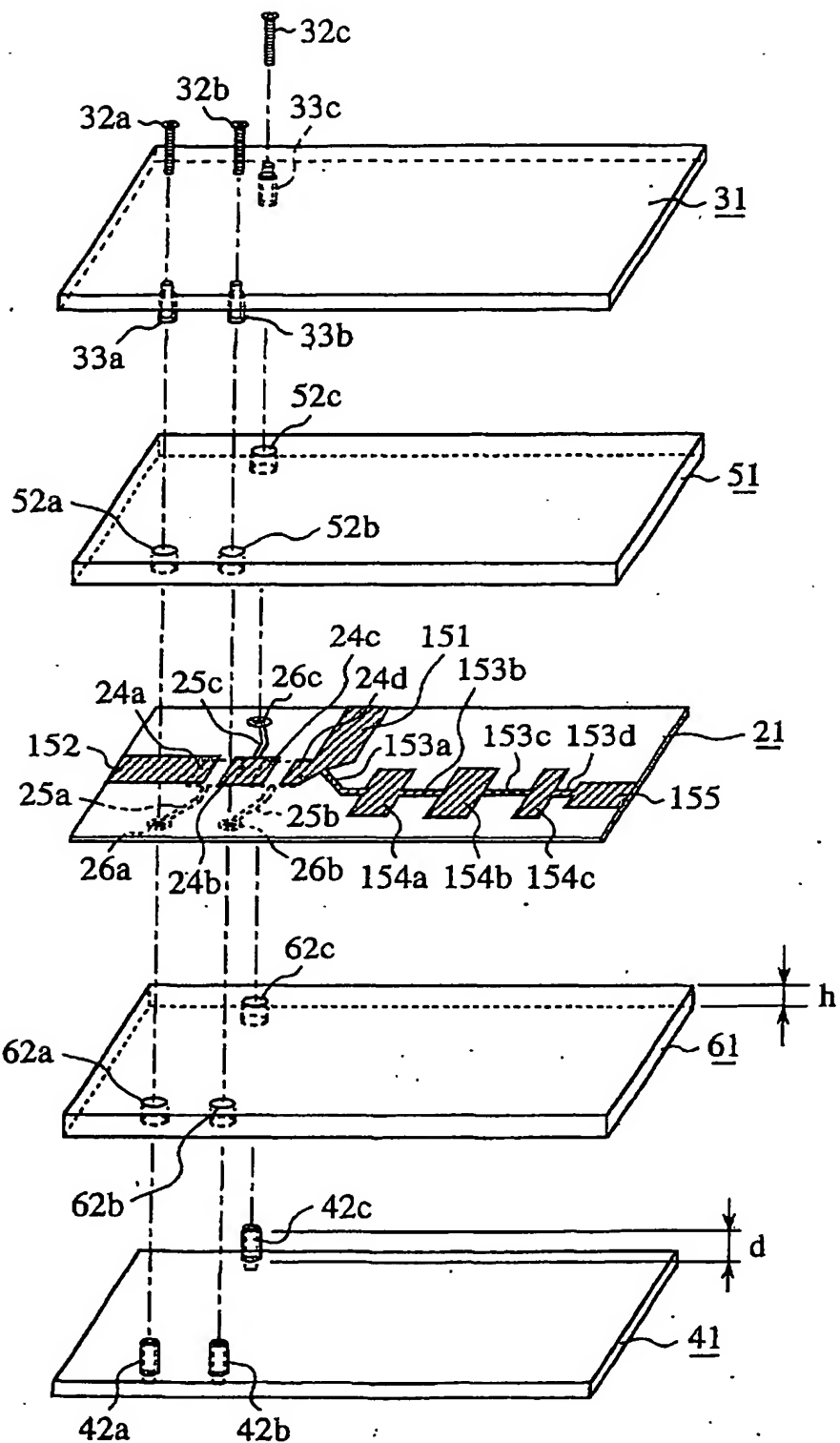
第29図



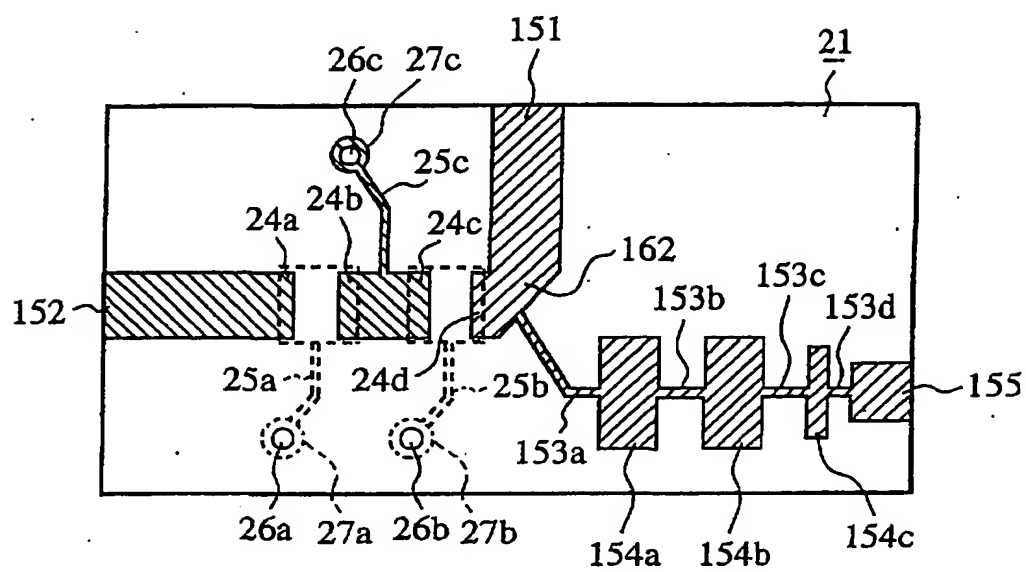
第31図



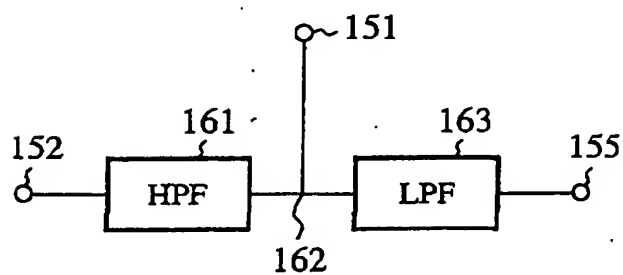
第30図



第32図



第33図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00100

**A. CLASSIFICATION OF SUBJECT MATTER**Int.Cl<sup>7</sup> H01P3/08, H01P1/203

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01P3/08, H01P1/203

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-1995	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-259720 A (NGK Insulators, Ltd.), 08 October, 1993 (08.10.93), Fig. 3 (Family: none)	1 2-3, 5
A	JP 62-292003 A (Matsushita Electric Industrial Co., Ltd.), 18 December, 1987 (18.12.87), Full text; all drawings (Family: none)	4, 6, 7

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search 12 April, 2002 (12.04.02)	Date of mailing of the international search report 23 April, 2002 (23.04.02)
--	---

 Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl<sup>1</sup> H01P 3/08, H01P 1/203

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

IntCl<sup>1</sup> H01P 3/08, H01P 1/203

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-1995年  
 日本国登録実用新案公報 1994-2002年  
 日本国実用新案登録公報 1996-2002年

## 国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-259720 A (日本碍子株式会社) 1993. 10. 08, 図3 (ファミリーなし)	1
A		2-3, 5
A	JP 62-292003 A (松下電器産業株式会社) 1987. 12. 18, 全文, 全図 (ファミリーなし)	4, 6, 7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

12. 04. 02

国際調査報告の発送日

23.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岸田 伸太郎

5T

9183

電話番号 03-3581-1101 内線 3566